

Zadatak

Modelovati na jeziku VHDL periferiju za serijsko slanje podataka. Entitet koji modeluje periferiju treba da bude u skladu sa deklaracijom komponente date u paketu `uart_pkg` (konfiguracija date komponente sa entitetom mora da bude implicitna). Generički parametri entiteta su: `DATA_WIDTH`, koji određuje širinu registra za podatke periferije i čija je vrednost deljiva sa 8, i `BIT_CLK_COUNT`, koji određuje koliko perioda signala takta treba da se jedan bit prosleđuje na izlaz i čija je vrednost veća od 3. Model treba da bude ispravan za bilo koje vrednosti generičkih parametara, uz prethodno data ograničenja. Periferija treba da ima sledeći interfejs:

1. Jednobitni ulaz za signal takta
2. Jednobitni ulaz za asinhroni reset signal
3. Jednobitni ulaz za selektovanje periferiji (u tekstu cs)
4. Jednobitni ulaz za adresu (u tekstu a0)
5. Jednobitni ulaz za signal čitanja (u tekstu rd)
6. Jednobitni ulaz za signal upisa (u tekstu wr)
7. Ulaz za podatke, širine `DATA_WIDTH` (u tekstu data_in)
8. Izlaz za podatke, širine `DATA_WIDTH` (u tekstu data_out)
9. Jednobitni serijski izlaz (u tekstu serial)

Prilikom reseta svi registri u sistemu treba da se postave na inicijalne vrednosti. Periferija ima sledeće registre: registar podataka, čija je adresa nula, kontrolni i statusni registar. Kontrolni i statusni registar imaju adresu jedan. Ukoliko se upisuje na adresu jedan, upisuje se u kontrolni registar, ukoliko se čita sa adrese jedan čita se podatak iz statusnog registra. Upis se vrši preko linija data_in. Čitanje se vrši preko linija data_out. Čitanje je moguće u bilo kom trenutku, kad nije aktivan signal za reset. Kada se postavi zahtev za čitanje, u istoj periodi signala takta, se postavlja podatak na izlazne linije. Prilikom čitanja registra za podatke, na izlaz se postavlja poslednja vrednost upisana u taj registar. Prilikom čitanja statusnog registra čita se trenutni status. Upis i čitanje se vrši samo kad je periferija selektovana (vrednost cs signala je aktivna). Aktivne vrednosti signala rd, wr i cs su jedan.

Perioda signala takta je 10ns. Prilikom startovanja periferije reset signal se postavlja na jedan (aktivnu vrednost). Dužina trajanja reset signala je nekoliko perioda signala takta. Nakon reseta periferija treba da bude ugašena, kontrolni i statusni registar su nula. Upis jedinice u kontrolni registar startuje periferiju. Kada je periferija spremna za prihvatanje podatka u registar podataka, statusni registar se postavlja na jedinicu. Samo u tom trenutku je moguć upis u registar podataka. U bilo kom drugom trenutku upis u registar podataka se ignoriše. Upis podatka u registar podataka startuje serijski prenos i statusni registar se postavlja na nulu. Serijski prenos se obavlja u paketima od osam bita (jedan bajt). Prvi paket je bajt najmanje težine registra podataka, poslednji paket je bajt najveće težine registra

podataka. Dok se ne vrši prenos serijski izlaz je postavljen na nulu. Paket se šalje sa start i stop bitom. Prvo se šalje jedinica kao start bit. Nakon toga se šalje osam bita podataka. Prvo se šalje bit najmanje težine, poslednji se šalje bit najveće težine. Na kraju se šalje jedinica kao stop bit. Nakon prenosa jednog paketa serijski izlaz mora da se postavi na nulu u trajanju bar jedne periode signala takta. Kada se pošalju svi paketi statusni registar se postavlja na jedinicu i periferija završava rad (moguće je ponovo pokrenuti periferiju upisom u kontrolni registar). Upis u kontrolni registar je uvek moguć i ukoliko se upiše nula, prekida se rad periferije.

Napomena: Navedeni registri ne moraju da postoje u sistemu, već su jednostavno logički interfejs ka periferiji. Studentima se ostavlja da osmisle koji su registri fizički potrebni.