

## Laboratorijska vežba 1

### Uputstvo

Pre pristupanja izradi laboratorijske vežbe pročitati dati tekst u celini. Sve što nije precizirano u tekstu zadatka ostavlja se studentima da definišu i obrazlože svoj izbor. Ukoliko su postavljeni kontradiktorni zahtevi, od studenata se očekuje da uvedu RAZUMNU pretpostavku i nastave da na njoj izgrađuju preostali deo rešenja.

Laboratorijska vežba se radi **180 minuta**. Laboratorijska vežba nosi maksimalno **10 poena**.

Zadatak se boduje pomoću automatskih testova. Procenat uspešnosti na testiranju određuje konačan broj poena. Javni test je dat uz postavku zadatka. Javni test se nalazi u okviru testbench-a koji je u folderu zadatka. Imena entiteta, arhitekture i ulazno/izlaznih pinova moraju da budu ista kao u specifikaciji zadatka. Tipovi i smer ulazno/izlaznih pinova mora da bude kao u specifikaciji zadatka. **VAŽNO: ZA POKRETANJE TESTA POTREBNO JE PODESITI MODELSIM DA PREVODI VHDL 2008 KOD (podešava se pre kreiranja projekta Compile -> Compile Options, ukoliko je opcija onemogućena zatvoriti otvoreni projekat File -> Close Project).**

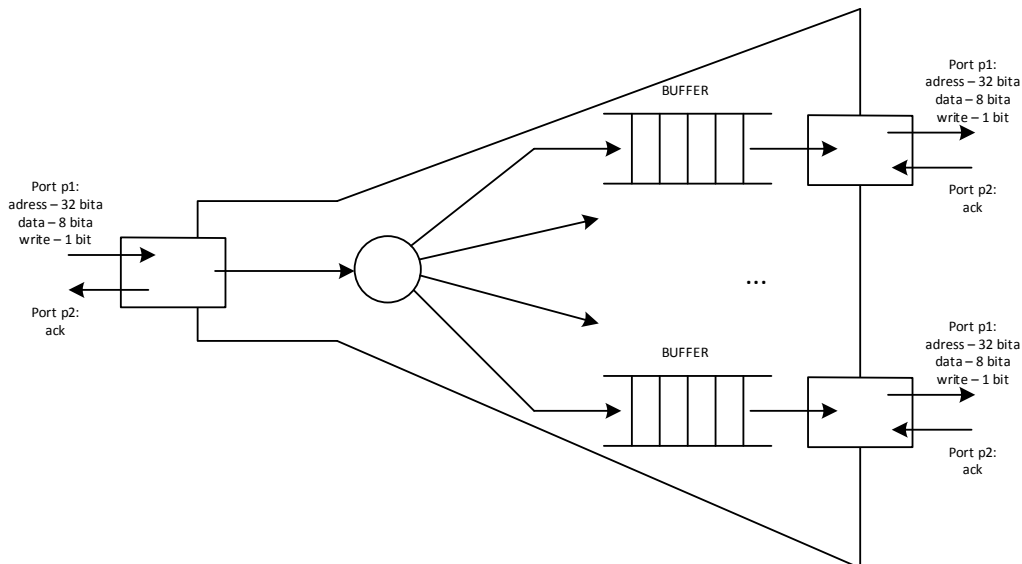
Rešenje je potrebno napisati u proizvoljnom broju fajlova sa vhd ekstenzijom i rešenje je potrebno upakovati u zip arhivu i uploadovati preko moodle sajta do isteka roka za predaju. Moguće je samo jednom uploadovati arhivu. U slučaju da pristup moodle sajtu nije moguć arhivu sa rešenjem poslati sa studentskog mejla na adresu zika@etf.rs do isteka roka za predaju. Nepoštovanje datih uputstava prouzrokuje neocenjivanje zadatka. U slučaju da postoji velika sličnost sa rešenjima drugih studenata, rešenje se ocenjuje sa nula poena.

### Zadatak

Potrebno je projektovati entitet na jeziku VHDL za komponentu router koja je data u paketu router\_pkg (file: router\_pkg.vhd). Povezivanje instance komponente sa entitetom treba da se automatski izvrši. Javni test je dat kao testbench pod imenom test\_tsb (file: test\_tsb.vhd). Rezultati koje proizvodi testbench se nakon simulacije nalaze u fajlu log.txt (format je naveden na kraju teksta).

Traženi entitet treba da realizuje pojednostavljen ruter. Ruter ima jedan ulazni port i  $2^N$  (N je generički parametar) izlaznih portova. Pojam port se odnosi na ulaz i izlaze rutera, a ne na sintaksne elemente VHDL jezika. Sintaksni elementi se eksplicitno nazivaju „port entiteta“. Deklaracija tipova koji se koriste za opis portova entiteta su dati u paketu router\_pkg (file: router\_pkg.vhd). Interfejs prema portovima rutera je prost handshake mehanizam. Pošiljalac prilikom prosleđivanja podatka ruteru, na ulazni port rutera postavlja adresu, podatak i write signal na aktivnu vrednost (aktivna vrednost je 1). Kada ruter prihvati podatak postavlja signal ack na aktivnu vrednost (aktivna vrednost je 1), u trajanju jednog signala takta. Pošiljalac tada može da postavi naredni podatak. Prilikom slanja podatka na izlaz, ruter postavi adresu, podatak i write signal na aktivnu vrednost (aktivna vrednost je 1). Kada primalac prihvati podatak, on postavlja signal ack na aktivnu vrednost (aktivna vrednost je 1) u trajanju od jednog signala takta. Port rutera se sastoji od dva porta entiteta koji su tipa: router\_port\_p1\_t i router\_port\_p2\_t (file: router\_pkg.vhd). Kod ulaznog porta rutera tip p1 je ulazni signal, dok je p2 izlazni signal. Kod izlaznog porta rutera p1 je izlazni signal, dok je p2 ulazni signal. Rutiranje se radi statički na osnovu N najnižih bita adrese (N najnižih bitova predstavlja broj izlaznog porta na koji je potrebno poslati podatak). Ruter ima mogućnost da baferiše podatke za svaki izlazni port. Veličina bafera za svaki izlazni port je  $2^{\text{BUFFER\_SIZE}}$  (BUFFER\_SIZE je generički parametar, smatrati da je veći od nule). Ukoliko se bafer za neki port napuni i na ulazu se nalazi podatak za taj bafer, ruter neće učitati taj podatak dok se ne

isprazni mesto za njega. Konceptualni prikaz rutera dat je na slici 1. Ruter ima i dva ulazna signala: signal kloka i asinhroni reset. Prilikom startovanja rutera uvek će se postaviti reset signal na aktivnu vrednost (aktivna vrednost je 1), u trajanju od najmanje jednog signala takta.



Slika 1 Konceptualni prikaz rutera

Format log.txt fajla je:

Prva linija je "Test 1 OK" u slučaju ispravnog rada ili "Test 1 FAIL" u slučaju neke greške. Nakon toga dolazi spisak poslanih paketa ruteru sa adresom, podatkom, brojem taktova od prethodno poslanog podatka, i informacijom da li je neko primio taj podatak. Nakon toga dolazi i spisak primljenih podataka u istom formatu (poslednje polje je beznačajno). Čim se uoči neka greška simulacija se prekida.

Primer log.txt fajla:

Test 1 OK

List of sent packets

```
Address: 7151E26A Data: AC Wait: 7 Received: TRUE
Address: 0ACF0316 Data: 18 Wait: 9 Received: TRUE
Address: 50CE9CAE Data: 37 Wait: 2 Received: TRUE
Address: 585E2FA8 Data: 3B Wait: 6 Received: TRUE
Address: 361FFA20 Data: C1 Wait: 3 Received: TRUE
Address: 044C2CF8 Data: C0 Wait: 0 Received: TRUE
Address: 30CC3722 Data: C1 Wait: 10 Received: TRUE
Address: 790DD564 Data: 90 Wait: 3 Received: TRUE
Address: 7D73646C Data: C4 Wait: 1 Received: TRUE
Address: 1575C716 Data: 40 Wait: 6 Received: TRUE
Address: 3D9C6230 Data: 44 Wait: 1 Received: TRUE
Address: 42ECF3E0 Data: 13 Wait: 9 Received: TRUE
Address: 360DFFEF Data: D5 Wait: 4 Received: TRUE
Address: 2F2B1757 Data: 8D Wait: 0 Received: TRUE
Address: 02FF07D5 Data: 33 Wait: 6 Received: TRUE
Address: 035C5E31 Data: 0C Wait: 9 Received: TRUE
Address: 4BCF9F2B Data: A2 Wait: 9 Received: TRUE
Address: 7E821317 Data: C9 Wait: 5 Received: TRUE
Address: 73762DFB Data: 81 Wait: 0 Received: TRUE
Address: 6C575F6D Data: 15 Wait: 6 Received: TRUE
```

Address: 6E9A248F Data: 77 Wait: 1 Received: TRUE

Address: 22179043 Data: C2 Wait: 8 Received: TRUE

Address: 425B7551 Data: 77 Wait: 10 Received: TRUE

Address: 03F33EEF Data: 25 Wait: 1 Received: TRUE

List of received packets

Address: 7151E26A Data: AC Wait: 10 Received: FALSE

Address: 0ACF0316 Data: 18 Wait: 3 Received: FALSE

Address: 50CE9CAE Data: 37 Wait: 8 Received: FALSE

Address: 585E2FA8 Data: 3B Wait: 1 Received: FALSE

Address: 361FFA20 Data: C1 Wait: 2 Received: FALSE

Address: 044C2CF8 Data: C0 Wait: 2 Received: FALSE

Address: 30CC3722 Data: C1 Wait: 1 Received: FALSE

Address: 790DD564 Data: 90 Wait: 6 Received: FALSE

Address: 7D73646C Data: C4 Wait: 2 Received: FALSE

Address: 1575C716 Data: 40 Wait: 4 Received: FALSE

Address: 3D9C6230 Data: 44 Wait: 2 Received: FALSE

Address: 360DFFEF Data: D5 Wait: 3 Received: FALSE

Address: 42ECF3E0 Data: 13 Wait: 8 Received: FALSE

Address: 2F2B1757 Data: 8D Wait: 5 Received: FALSE

Address: 02FF07D5 Data: 33 Wait: 4 Received: FALSE

Address: 035C5E31 Data: 0C Wait: 10 Received: FALSE

Address: 4BCF9F2B Data: A2 Wait: 6 Received: FALSE

Address: 7E821317 Data: C9 Wait: 5 Received: FALSE

Address: 73762DFB Data: 81 Wait: 9 Received: FALSE

Address: 6C575F6D Data: 15 Wait: 2 Received: FALSE

Address: 6E9A248F Data: 77 Wait: 5 Received: FALSE

Address: 22179043 Data: C2 Wait: 5 Received: FALSE

Address: 425B7551 Data: 77 Wait: 0 Received: FALSE

Address: 03F33EEF Data: 25 Wait: 0 Received: FALSE